

## [12] 发明专利申请公开说明书

[21] 申请号 00129761.9

[43] 公开日 2001 年 5 月 2 日

[11] 公开号 CN 1293495A

[22] 申请日 2000.10.11 [21] 申请号 00129761.9

[30] 优先权

[32] 1999.10.14 [33] JP [31] 292029/1999

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 平田贵士 赤松宽范 高桥学志

寺田裕 小松义英

[74] 专利代理机构 中科专利商标代理有限责任公司

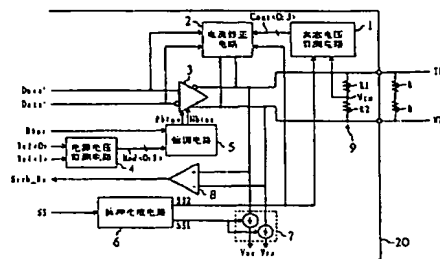
代理人 汪惠民

权利要求书 2 页 说明书 8 页 附图页数 9 页

[54] 发明名称 带能在中间电位变动时进行电流修正的电路的输出驱动器

[57] 摘要

驱动分别通过终端电阻与终端偏压耦合的传输线路对。设有与上述传输线路对耦合的电流驱动器；用来监测上述传输线路对的共态电压（中间电位）和电流驱动器的电源电位之差的共态电压监测电路；与上述传输线路对耦合，而能根据该监测结果分段地修正电流驱动器的输出电流的电流修正电路。在因电流驱动器上的电源电位下降，传输线路对的共态电压变动而使该电流驱动器的电流驱动能力下降之时，将所降部分补回来，以进行恒流操作。



## 权 利 要 求 书

---

1. 一种用来驱动分别通过终端电阻与终端偏压耦合的传输线路对的电流驱动电路, 其特征在于: 由

与上述传输线路对耦合的电流驱动器;

用来监测上述传输线路对的共态电压和上述电流驱动器的至少一个电源电位之差的共态电压监测电路;

与上述传输线路对耦合, 而能够根据来自上述共态电压监测电路的监测结果修正上述电流驱动器的输出电流的电流修正电路构成。

2. 根据权利要求 1 所述的电流驱动电路, 其特征在于:

上述电流修正电路, 分段地对上述电流驱动器的输出电流进行修正。

3. 根据权利要求 1 所述的电流驱动电路, 其特征在于:

上述电流修正电路, 能够使应进入工作状态的电流源晶体管的合计尺寸随上述共态电压和上述电源电位之差而非线性地变化。

4. 根据权利要求 1 所述的电流驱动电路, 其特征在于:

上述电流驱动器, 由 PMOS 电流源晶体管和 NMOS 电流源晶体管构成;

上述共态电压监测电路, 对与上述 PMOS 电流源晶体管的源极耦合的第 1 电源电位和上述共态电压之差, 及上述共态电压和与上述 NMOS 电流源晶体管的源极耦合的第 2 电源电位之差进行评价。

5. 根据权利要求 4 所述的电流驱动电路, 其特征在于:

上述共态电压监测电路, 由多个互相串联在上述第 1 电源电位和上述第 2 电源电位之间的电阻; 让电流在由上述多个电阻组成的串联电路中流的电流源; 多个对上述共态电压和上述多个电阻的端电压一一地进行比较的比较器组成。

6. 根据权利要求 5 所述的电流驱动电路, 其特征在于:

上述多个比较器, 在其中的每一个比较器的输出关系上都有滞后。

7. 根据权利要求 5 所述的电流驱动电路, 其特征在于:

由上述电流源决定的电流, 可视上述 PMOS 电流源晶体管和 NMOS

电流源晶体管的电流驱动能力而变动。

8. 根据权利要求 4 所述的电流驱动电路，其特征在于：

还包括：用来监测上述第 1 电源电位的电源电压监测电路；和用它来调节上述 PMOS 电流源晶体管及上述 NMOS 电流源晶体管的栅极偏压，以便能够根据来自上述电源电压监测电路的监测结果修正上述电流驱动器的输出电流的偏调电路。

9. 根据权利要求 1 所述的电流驱动电路，其特征在于：

还包括通过让上述共态电压发生变化，以在信号收发之际，让上述电流修正电路脱离上述传输线路对的机构。

10. 根据权利要求 9 所述的电流驱动电路，其特征在于：

让上述共态电压发生变化的那一时间段，包括在上述电流修正电路脱离上述传输线路对的那一时间段以内。

11. 一种用来驱动分别通过终端电阻与终端偏压耦合的传输线路对的电流驱动电路，其特征在于：

备有：

由分别与上述传输线路对耦合的 PMOS 电流源晶体管及 NMOS 电流源晶体管组成的电流驱动器；

用来监测与上述 PMOS 电流源晶体管的源极耦合的电源电位的电源电压监测电路；

用它来调节上述 PMOS 电流源晶体管及上述 NMOS 电流源晶体管的栅极偏压，以便根据来自上述电源电压监测电路的监测结果修正上述电流驱动器的输出电流的偏调电路。

12. 一种让一定振幅的电流流过分别通过终端电阻与终端偏压耦合的传输线路对而进行信号传输的信号传输法，其特征在于：

包括监测上述传输线路对的共态电压和用来驱动上述传输线路对的电流驱动器的电源电位之差的步骤；和

根据上述监测结果，分段地修正上述电流驱动器的输出电流，以使流过上述传输线路对的电流被保持在所规定的范围内。

## 说 明 书

## 带能在中间电位变动时进行电流修正的电路的输出驱动器

本发明涉及半导体集成电路，特别涉及高速接口中的电流驱动电路。

在要高速传输数据的时候，利用分别通过终端电阻与终端偏压耦合的传输线路对（双绞电缆）的差动型接口是再合适不过的了。该接口中的数据傳輸是这样进行的：由信号发送侧的电流驱动器将一定振幅的电流送向传输线路对，由信号接收侧的接收电路检测发生在终端电阻两端的振幅小且一定的电位差。

美国专利第5592510号（发行日：1997年1月7日）中，叙述的是高速系列接口之规格，即IEEE1394所用的电流驱动电路。利用它，可监测流向传输线路对的输出电流，并能根据该监测结果修正该输出电流并将它修正在一定振幅下。

因半导体制造工艺一直在朝着细微化和低耗电化方向发展，所以我们必须降低电源电压。然而，若在终端偏压（ $T_{pbias}$ ）被保持在一定值的情况下，电源电压（ $V_{dd}$ ）下降，那么， $V_{dd}$ 和 $T_{pbias}$ 之值就会接近，电流驱动器中的PMOS电流源晶体管的漏极、源极间电压会因此而变小，该PMOS电流源晶体管便进入非饱和区而不能进行恒流操作。因此，要想将输出电流保持在所规定的范围内，就要限制 $V_{dd}$ 的容许范围。另一方面，虽然在 $V_{dd}$ 变高的时候，PMOS电流源晶体管仍会在饱和区工作，然而，电流量会因漏极电阻的存在而慢慢地增加。这样，就不得不为PMOS电流源晶体管设置一专用电源。但若设置专用电源，则功耗和制造成本都会增大，因此这一做法很不现实。

另一方面，在由信号接收侧决定 $T_{pbias}$ 的情况下，从信号发送侧的电流驱动器所看到的 $T_{pbias}$ 值，是随着信号接收侧地电位的变动等而变动了的值。若此时 $T_{pbias}$ 下降了，则该电流驱动器中的NMOS电流源晶体管进入非饱和区而不能进行恒流操作。相反，若此时 $T_{pbias}$ 上升了，则PMOS电流源晶体管进入非饱和区而不能进行恒流操作。因此，必须将 $T_{pbias}$ 的值设在这两个电流源晶体管都能进行恒流操作的范围内，但问题是由于 $V_{dd}$ 的下降而

使这一范围变窄了。

本发明对上述课题作了进一步的探讨，其目的在于：提供一种能在很宽的电压范围下工作的电流驱动电路。

为达成该目的，本发明采取的是这样的结构：用来驱动分别通过终端电阻与终端偏压耦合的传输线路对的电流驱动电路，由以下几部分构成：与上述传输线路对耦合的电流驱动器；用来监测上述传输线路对的共态电压（中间电位）和上述电流驱动器之至少一个电源电位之差的共态电压监测电路；与上述传输线路对耦合，以便能根据来自共态电压监测电路的监测结果修正上述电流驱动器的输出电流的电流修正电路。

有了该结构，那么，在由于电流驱动器的电源电位下降及传输线路对的共态电压有变动等，而使该电流驱动器的电流驱动能力下降的情况下，可靠该电流修正电路来将所降驱动能力补回来，故可进行恒流操作。而且，因为是利用共态电压和电源电位之差，故所实现的电流修正操作能正确地反映出电流驱动器中的电流源晶体管的漏、源极间电压。

下面，是对附图的简单说明。

图1为一方框图，示出了本发明所涉及的带电流驱动电路的收发信电路的一个具体结构。

图2为一方框图，示出了图1中的收发信电路的对方，即另一收发信电路的一个具体结构。

图3为图1中的共态电压监测电路的电路图。

图4为图1中的电流修正电路的电路图。

图5为图1中的电流驱动器的电路图。

图6为图1中的电源电压监测电路的电路图。

图7为图1中的偏调电路的电路图。

图8为图1中的脉冲生成电路的电路图。

图9为表示图8中的脉冲生成电路的操作情形的时序图。

图10示出了由图1中的共态电压监测电路及电流修正电路带来的好结果。

图11示出了由图1中的电源电压监测电路及偏调电路带来的好结果。

图12是用来说明图4及图5中的3个PMOS电流源晶体管的一个理想尺寸的图。

图13示出了由图3中的电流源决定的电流的理想变动特性。

下面，参照附图，对本发明的实施例进行说明。

图1示出了本发明所涉及的带电流驱动电路的收发信电路的一个具体结构。图1中的收发信电路20，与2条在由终端电阻R组成的串联电路附近的传输线路对（双绞电缆）TP/NTP耦合，且由一个共态电压监测电路1、一个电流修正电路2、一个电流驱动器3、一个电源电压监测电路4、一个偏调电路5、一个脉冲生成电路6、两个电流源7、一个接收电路8及一个电阻电路9组成。

电流驱动器3，能根据差动数据信号Data+/Data-来驱动传输线路对TP/NTP，其由PMOS电流源晶体管和NMOS电流源晶体管构成，如下所述。接收电路8，是一为接收差动选通脉冲信号Strb+/Strb-，输出非差动选通脉冲信号Strb\_Rx而设置的电路。

电阻电路9，由被设在LSI内的2个电阻R1、R2构成，而能够检测出该传输线路对的共态电压Vcm。共态电压监测电路1，用来监测并评价与电流驱动器3中的PMOS电流源晶体管的源极耦合的第1电源电位（Vdd）和上述共态电压Vcm之差，以及上述共态电压Vcm和与电流驱动器3中的NMOS电流源晶体管的源极耦合的第2电源电位（Vss = 地电位）之差。监测结果Cont〈0：3〉被送入电流修正电路2。电流修正电路2与传输线路对TP/NTP耦合，而能够根据该监测结果Cont〈0：3〉分段地修正电流驱动器3的输出电流。共态电压监测电路1及电流修正电路2，是为修正当电流驱动器3中的某一个电流源晶体管进入非饱和区时所损失的那一部分电流而设置的。因这里采用的是分段电流修正法，因此，很容易抑制振动。

电源电压监测电路4，能利用参考电位Ref〈0：1〉来监测、评价Vdd电位。该监测结果Mod〈0：1〉被送到偏调电路5。偏调电路5，能够根据基本偏压Bias来调节电流驱动器3中的PMOS电流源晶体管及NMOS电流源晶体管的栅极偏压Pbias及Nbias，最终做到可根据该监测结果Mod〈0：1〉修正电流驱动器3的输出电流。电源电压监测电路4及偏调电路5，是为修正电流驱动器3中的PMOS电流源晶体管在饱和区由漏极电阻所引起的电流的那一变动值而设置的。

即使在强制传输线路对的共态电压Vcm变化的情况下，图1中的收发信

电路20也能进行信息传输。这个脉冲生成电路6和这两个电流源7便是为此而设置的。例如,当代表传输率信息的速度信号SS来到后,脉冲生成电路6便立即供出信号SS1,而让分别与传输线路对的2条信号线TP/NTP耦合的2个电流源7同时接通。换句话说,通过在某一时间段(100ns左右)内降低V<sub>cm</sub>来传送传输率信息。不过,若V<sub>cm</sub>有急剧的变化,电流修正电路2便有出现误操作的可能。在此,我们通过由脉冲生成电路6供出信号SS2,以在发送速度信号SS的这一时间段内,让共态电压监测电路1的V<sub>cm</sub>输入和电流修正电路2的输出脱离传输线路对TP/NTP这样的做法,来避免这个问题。

图2示出了图1中的收发信电路20的对方,即另一收发信电路的一个具体结构。图2中的收发信电路21,与2条在由终端电阻R组成的串联电路附近的传输线路对TP/NTP耦合,且由一个电流驱动器3、一个电源电压监测电路4、一个偏调电路5、一个接收电路8及一个终端偏压生成电路11组成。电流驱动器3,能根据差动选通脉冲信号Strb+/Strb-来驱动传输线路对TP/NTP。偏调电路5,能够调节电流驱动器3中的PMOS电流源晶体管及NMOS电流源晶体管的栅极偏压Pbias'及Nbias'。接收电路8,是为接收差动数据信号Data+/Data-,输出数据信号Data\_Rx而设置的电路。终端偏压生成电路11,能够将与所施来的终端偏压Tp<sub>bias</sub>相等的终端偏压Tp<sub>bias</sub>'供到2个终端电阻R的中间接点上。

因图2所示的收发信电路21本身,能够由终端偏压生成电路11决定传输线路对TP/NTP相对于它的地电位的共态电压,故很容易将电流驱动器3中的每一个电流源晶体管的偏压条件设定在饱和区所对应的范围内。于是,收发信电路21中,就不必设置在图1中的收发信电路20里所设置的共态电压监测电路1和电流修正电路2了,因此,它的电路规模就更小了。

图3示出了图1所示的共态电压监测电路1的一个详细结构。图3中的共态电压监测电路1,由四个比较器31a~31d、一个传输门32、一个电流源33、四个电阻R3~R6及一个电容C1组成。

这四个电阻R3~R6互相串联在V<sub>dd</sub>和V<sub>ss</sub>(= 0V)之间。电流源33让电流I<sub>1</sub>在由这四个电阻R3~R6而组成的串联电路中流。于是,每一个电阻的端电压V1~V4分别为:

$$V1 = V_{dd} - I1 \times R3$$

$$V2 = V_{dd} - I1 \times (R3 + R4)$$

$$V3 = I1 \times (R5 + R6)$$

$$V4 = I1 \times R6$$

这四个比较器31a~31d, 通过比较共态电压 $V_{cm}$ 和相应的每一个电阻的端电压 $V1 \sim V4$ 而生成Cont〈0:3〉。具体而言, 当 $V_{cm}$ 之值小于或等于 $V1$ 之值时, Cont〈0〉为‘H’; 而当 $V_{cm}$ 之值大于 $V1$ 之值时, Cont〈0〉为‘L’。同样, 当 $V_{cm}$ 之值小于或等于 $V2$ 之值时, Cont〈1〉为‘H’; 而当 $V_{cm}$ 之值大于 $V2$ 之值时, Cont〈1〉为‘L’。当 $V_{cm}$ 之值大于或等于 $V3$ 时, Cont〈2〉为‘L’; 当 $V_{cm}$ 之值小于 $V3$ 时, Cont〈2〉为‘H’。同样, 当 $V_{cm}$ 之值大于或等于 $V4$ 时, Cont〈3〉为‘L’; 当 $V_{cm}$ 之值小于 $V4$ 时, Cont〈3〉为‘H’。需提一下, 可让比较器31a~31d的输出关系带滞后, 以防发生由噪声等而引起的误操作。

而且, 如图3所示, 若在发送速度信号SS的那一时间段内, 让信号SS2为‘H’而使传输门32截止, 那么,  $V_{cm}$ 输入便脱离共态电压监测电路1。在这一段时间里,  $V_{cm}$ 之值由电容C1来维持。于是, 在发送速度信号SS的那一时间段结束后, 传输门32又被接通时, 不会产生电位差, 也就不会发生误操作了。

图4示出了图1中的电流修正电路2的一个详细结构。图4中的电流修正电路2, 由两个PMOS电流源晶体管QP1, QP2、两个PMOS开关晶体管QP3, QP4、两个NMOS电流源晶体管QN1, QN2、两个NMOS开关晶体管QN3, QN4、一个反相器41、两个与非门42, 43及两个或非门44, 45组成。

即使在 $SS2 = 'L'$ 的状态下, 施来了差动数据信号Data+ / Data-, 只要Cont〈0〉和Cont〈1〉为‘H’且Cont〈2〉和Cont〈3〉为‘L’, 那么, QP1、QP2、QN1及QN2都不用对电流进行修正(即正常状态)。但例如, 当因 $V_{cm}$ 有了变动, 而使Cont〈1〉从正常状态变为‘L’时, QP2便开始修正电流, 而经由QP3将电流吐向一条信号线TP; 经由QP4将电流吐向另一条信号线NTP。并且, 当Cont〈0〉变为‘L’时, QP1便开始修正电流。这时便是QP1和QP2同时工作。另一方面, 当Cont〈2〉变为‘H’时, QN1便开始修正电流, 而从一条信号线TP经由QN3将电流吸入; 从另一条信号线NTP经由QN4将电流吸入, 而且, 当Cont〈3〉也变为‘H’时, QN2



便开始修正电流。这时便是QN1和QN2同时工作。

而且,如图4所示,若在速度信号SS的发送期间内,让信号SS2为“H”而使QP3、QP4、QN3、QN4全都截止,那么,QP1、QP2、QN1、QN2便全脱离传输线路对TP/NTP。

图5示出了图1中的电流驱动器3的一个详细结构。图5中的电流驱动器3,由一个PMOS电流源晶体管QP10、两个PMOS开关晶体管QP11, QP12、一个NMOS电流源晶体管QN10、两个NMOS开关晶体管QN11, QN12组成。Vdsp和Vdsn分别表示QP10和QN10上的漏、源极间电压。

图6示出了图1中的电源电压监测电路4的一个详细结构。图6中的电源电压监测电路4由两个比较器51a, 51b、两个大电阻R7, R8构成。这两个大电阻R7, R8互相串联在Vdd和Vss (= 0V) 之间。由这两个比较器51a, 51b来一一地对该电阻串联电路的接点电压V51和参考电压Ref〈0〉、Ref〈1〉做比较。具体而言,当V51的电位比Ref〈0〉低时,Mod〈0〉为“L”;当它比Ref〈0〉高时,Mod〈0〉为“H”。同样,当V51的电位比Ref〈1〉低时,Mod〈1〉为“L”;当它比Ref〈1〉高时,Mod〈1〉为“H”。

图7示出了图1中的偏调电路5的一个详细结构。图7所示的偏调电路5,由6个PMOS晶体管QP61~QP66、2个NMOS晶体管QN61, QN62组成。QP61、QP62及QP65分别构成为电流源;QP63及QP64分别构成为开关;QN61、QN62及QP66分别构成为电流镜电路。

如图7所示,当电源电压Vdd很高时,仅有电流源QP65接收基准偏压Bias。当Vdd降到某一规定电位时,Mod〈0〉和Mod〈1〉中之一会变为“L”,因此开关QP63、QP64中相应的那一个开关接通,再加上相对应的电流源QP61、QP62,而使电流I6增大。结果,Pbias和Nbias随着变化而使电流驱动器3的输出电流增大。可以通过调整电流源晶体管QP61, QP62的尺寸来调节电流的变化量。另外,也可分别在PMOS侧和NMOS侧独立地调整各自的栅极偏压。

图8示出了图1中的脉冲生成电路6的一个详细结构。图8中的脉冲生成电路6,由第1及第2延时电路71, 74、一个与非门72、一个或非门75以及两个反相器73, 76组成。

图9示出了图8中的脉冲生成电路6的工作情况。这里,设第1延时电路71

的传输延迟时间为 $t_{d1}$ ，设第2延时电路74的传输延迟时间为 $t_{d2}$ 。如图9所示，让共态电压 $V_{cm}$ 发生变化的那一时间段（SS1为“H”的那一时间段）在电流修正电路2脱离传输线路对TP/NTP的那一时间段（SS2为“H”的那一时间段）以内。这样，就可使电流修正电路2的误操作发生几率更低。例如，可将 $t_{d1}$ 和 $t_{d2}$ 设在5~10ns这一范围内。

图10示出了由共态电压监测电路1及电流修正电路2带来的好结果，图12示出了由电源电压监测电路4及偏调电路5带来的好结果。图中的 $I_p$ 表示PMOS电流源晶体管QP10、QP2及QP1中，进入工作状态的晶体管的漏极电流之和； $I_n$ 则表示NMOS电流源晶体管QN10、QN1及QN2中，进入工作状态的晶体管的漏极电流之和。

照图10来看，目前情况为：如点划线所示，要想将电流 $I_p$ 及 $I_n$ 保持在所规定的范围（上限 $I_U$ 、下限 $I_L$ ）内，必须将终端偏压 $T_{pbias}$ 的容许范围限制在上限 $V_{U1}$ 和下限 $V_{L1}$ 之间。而按照本发明，则能够在更大的 $T_{pbias}$ 范围内，将电流 $I_p$ 及 $I_n$ 保持在上限 $I_U$ 和下限 $I_L$ 这一规定范围内。

再者，照图11来看，目前情况为：如点划线所示，要想将电流 $I_p$ 保持在所规定的范围（上限 $I_U$ 、下限 $I_L$ ）内，必须将电源电压 $V_{dd}$ 的容许范围限制在上限 $V_{U2}$ 和下限 $V_{L2}$ 之间。而按照本发明，则能够在更大的 $V_{dd}$ 范围内，将电流 $I_p$ 保持在上限 $I_U$ 和下限 $I_L$ 这一规定范围内。

图12示出了图4及图5中的3个PMOS电流源晶体管QP10、QP2以及QP1的一个理想尺寸。具体而言，电流修正电路2，能够让应进入工作状态的PMOS电流源晶体管的合计尺寸随着共态电压 $V_{cm}$ 和电源电位 $V_{dd}$ 之差而非线性（例如，为指数函数）地变化。在图12所示的例子中，设QP10的尺寸比QP2的大，QP2的尺寸比QP1的大。另外，对图4及图5中的3个NMOS电流源晶体管QN10、QN1以及QN2来说也一样，通过让应进入工作状态的NMOS电流源晶体管的合计尺寸随共态电压 $V_{cm}$ 和 $V_{ss}$ 电平（地电位）之差非线性地变化即可。采用了这样的非线性控制以后，电流修正的切换次数便比线性控制时的少了。

图13示出了图3中的电流 $I_1$ 的理想变动特性。理想情况是：由电流源33所决定的电流 $I_1$ ，能够根据PMOS电流源晶体管QP10及NMOS电流源晶体管QN10的电流驱动能力而发生变化。这样，共态电压监测电路1中的比较器

00 10 11

31a~31d的基准电位便能跟上晶体管的阈值随温度或者工艺参数的变动所发生的变动。

需提一下，这里，我们利用图1和图2说明了在收发信电路20、21之间进行通信的情形。很明显，对发信侧仅具有信号发送功能，收信侧仅具有信号接收功能的收发信系统来说，本发明也完全适用。

## 说明书附图

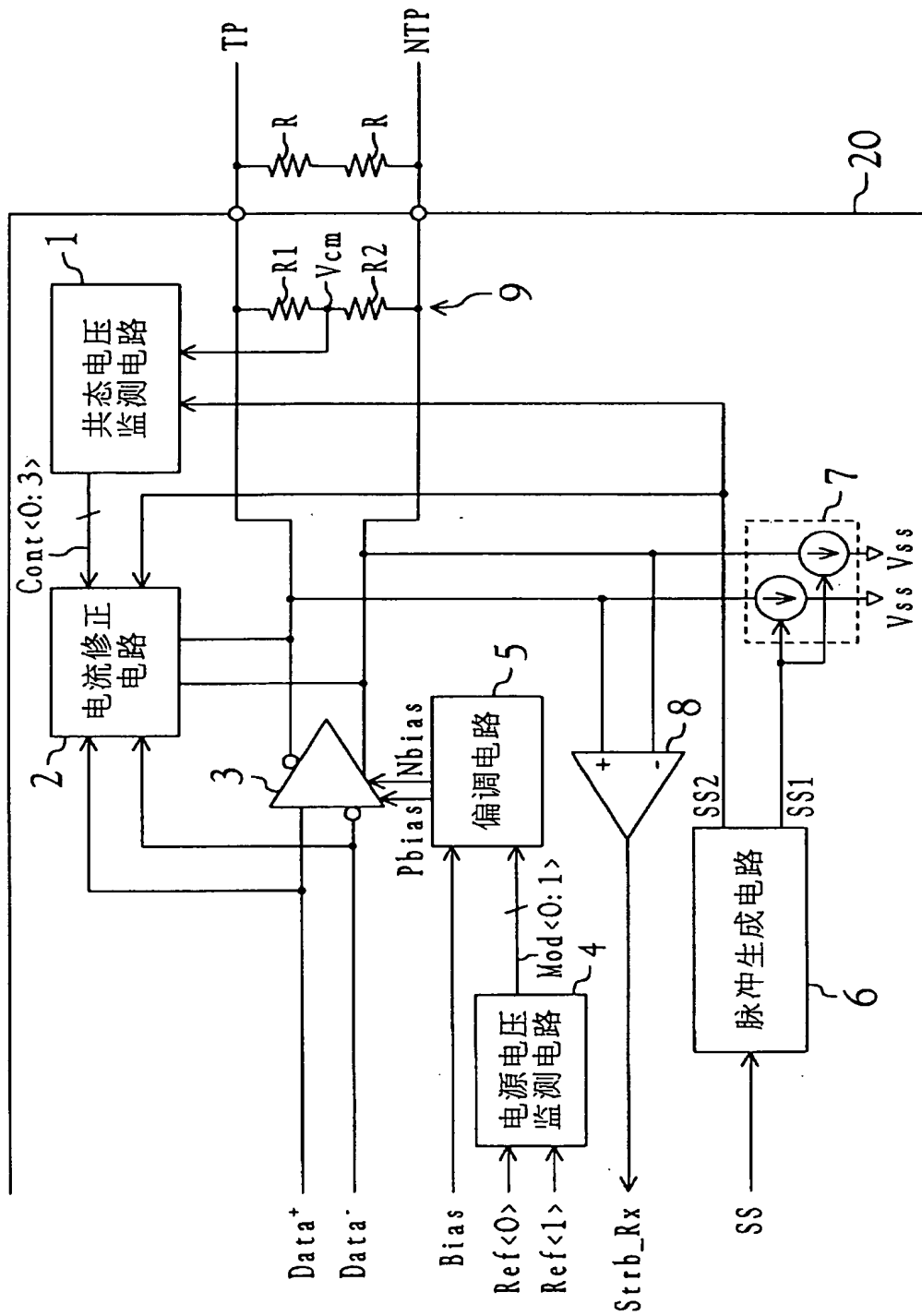


图 1

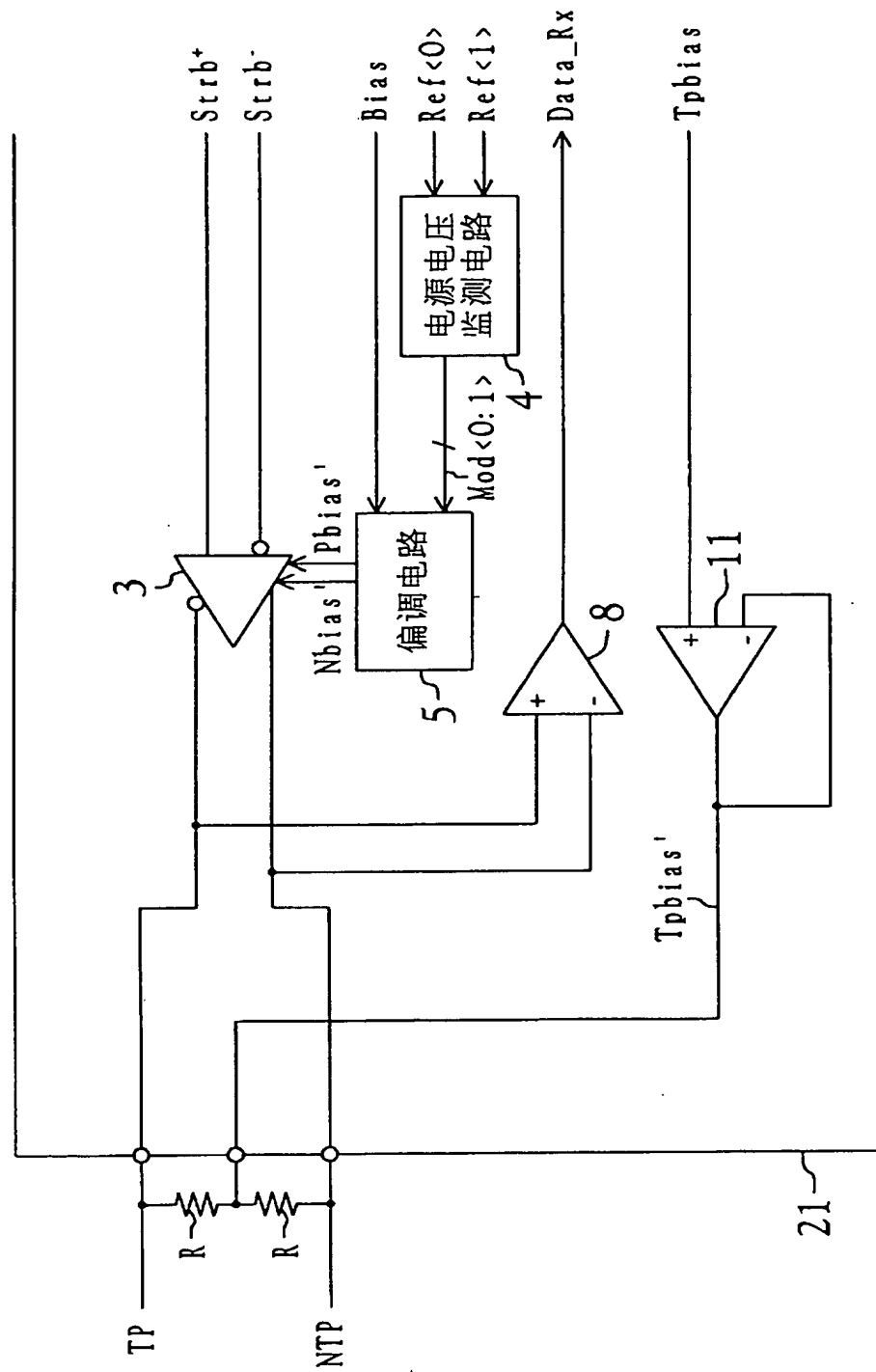


图 2

00.10.11

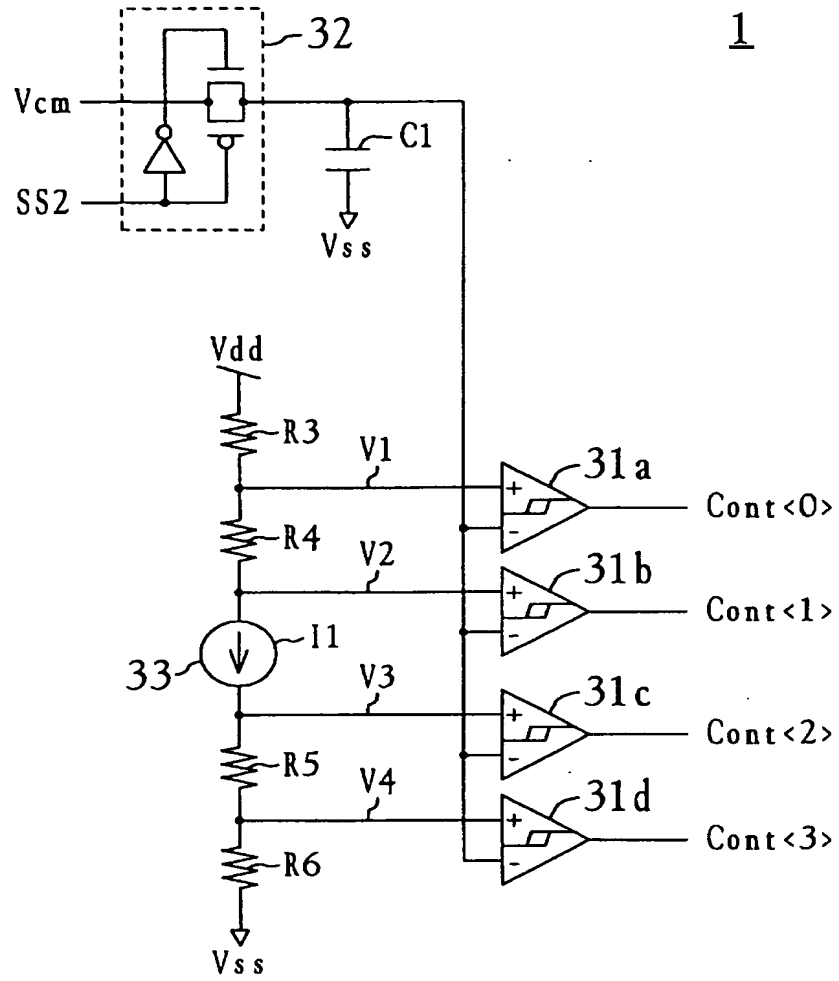


图 3

00 10 11

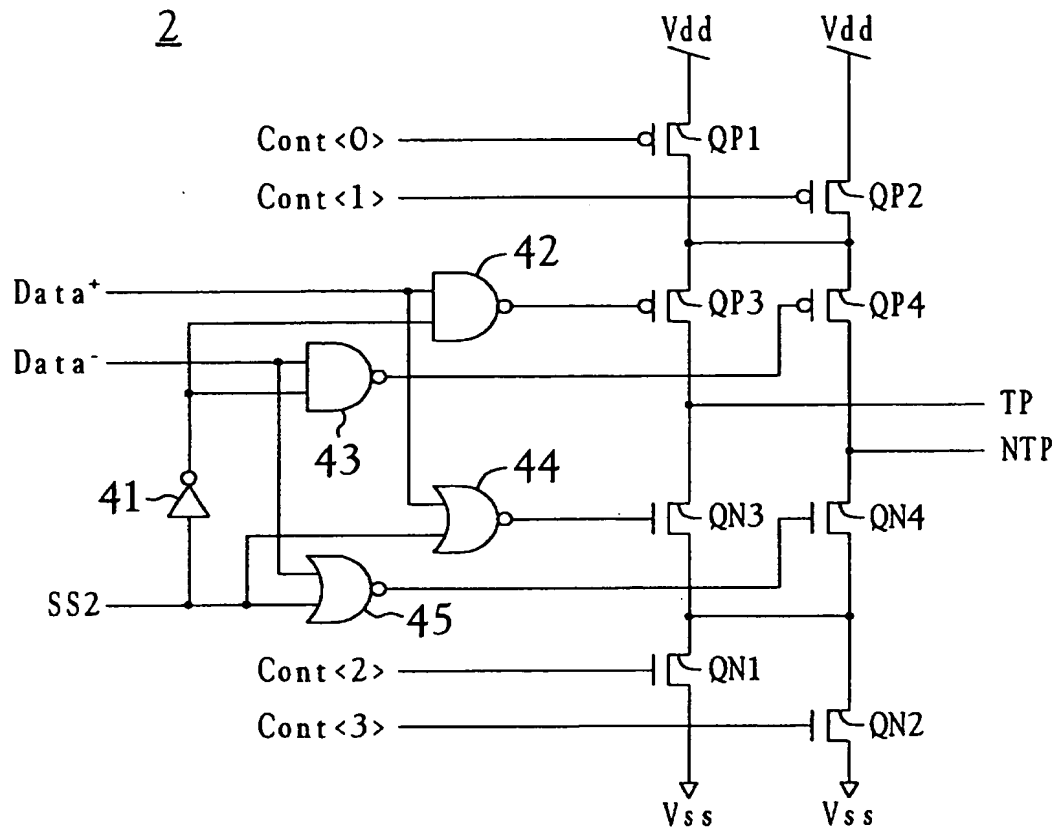


图 4

00·10·11

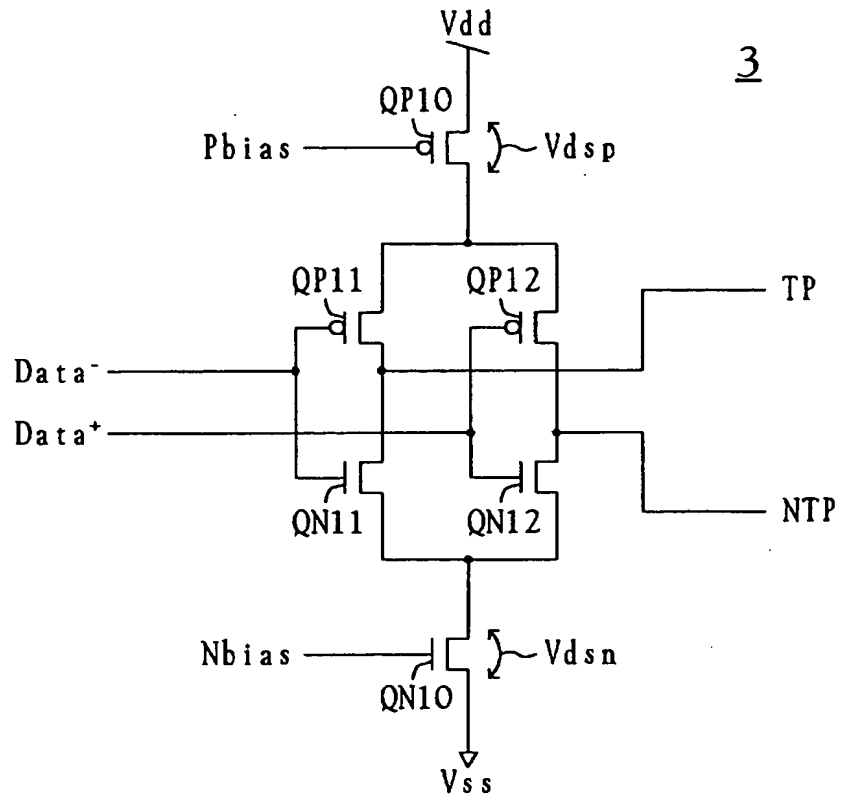


图 5



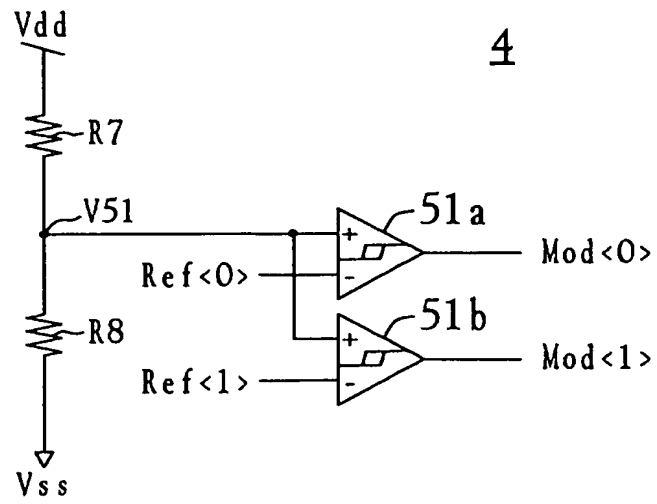


图 6

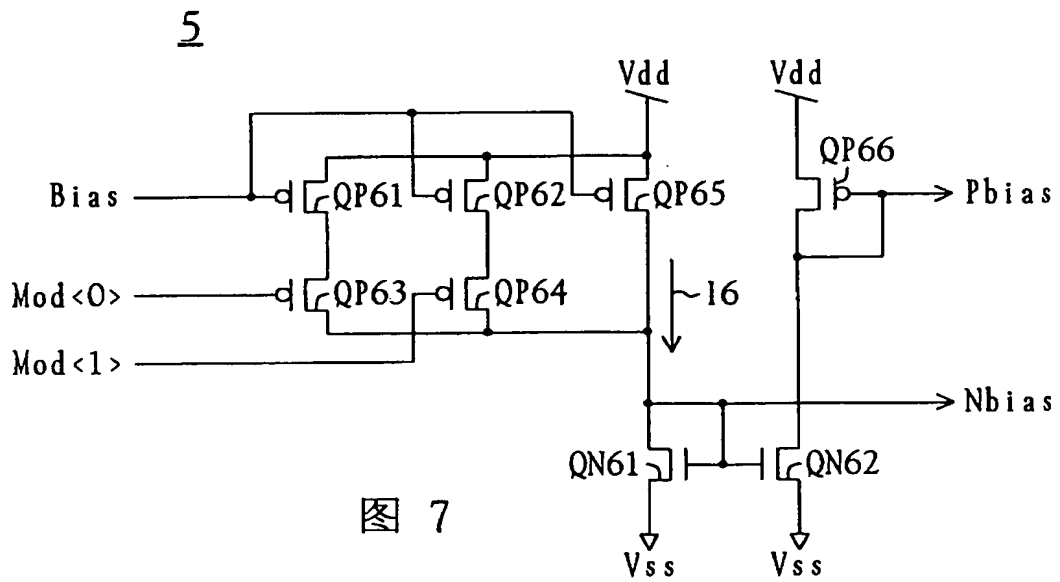


图 7

00·10·11

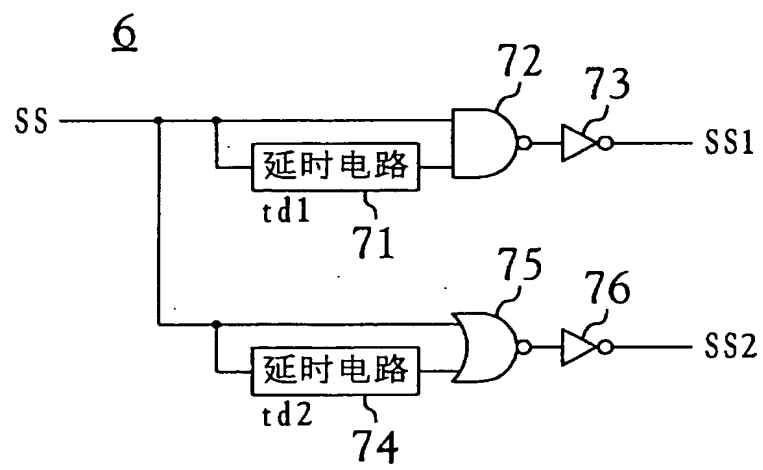


图 8

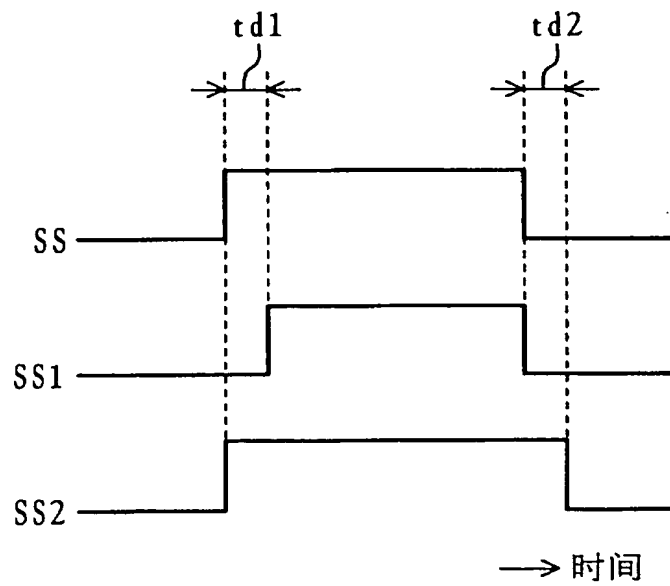


图 9

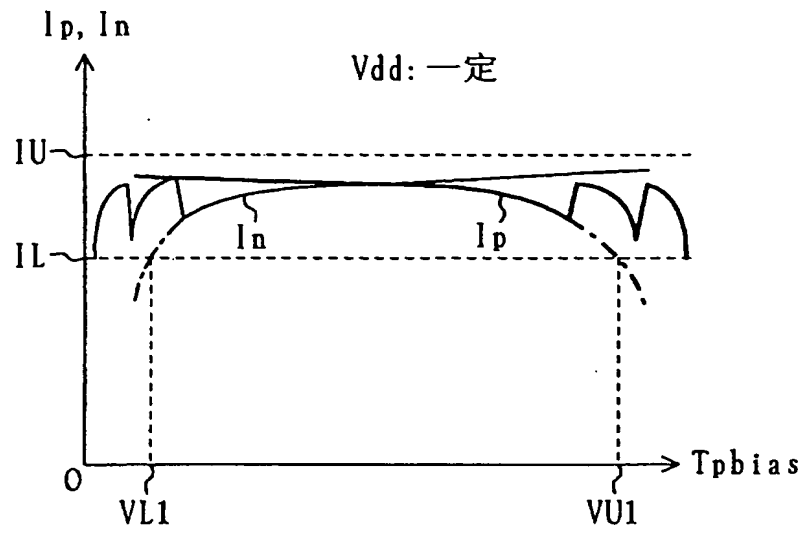


图 10

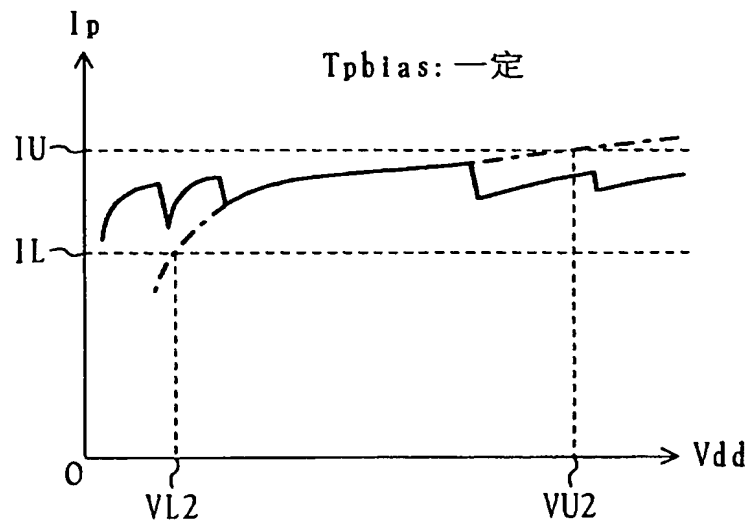


图 11

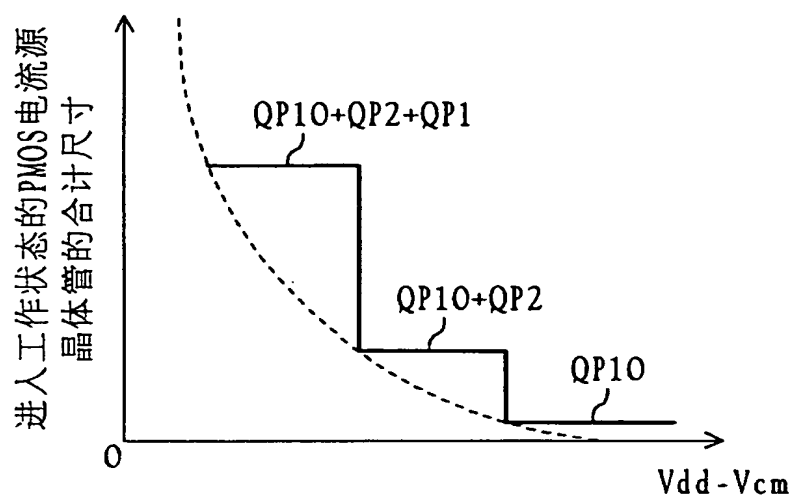
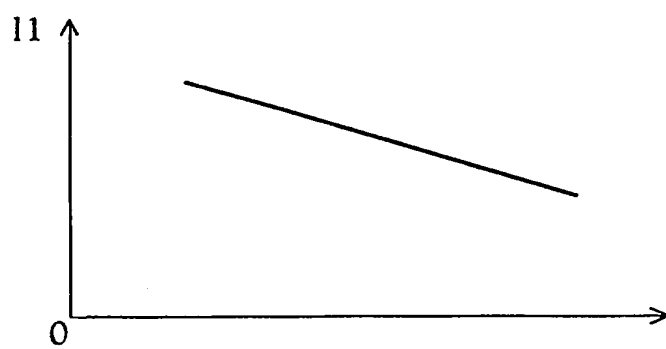


图 12



电流源晶体管的电流驱动能力  
(温度或者工艺参数有变动)

图 13